



دانشگاه زنجان

دانشکده مهندسی

گروه برق

پایان نامه کارشناسی

گرایش: الکترونیک

عنوان:

مدار باز یافت دیتا و کلاک با ساختار حلقه قفل فاز

برای کاربرد های فرکانس بالا

استاد راهنما: مهندس احمدی

نگارش: ادیبی فرد زینب

تیر ۸۹

## چکیده

در خواست روز افزون برای افزایش نرخ داد و ستد داده در شبکه های پیام رسانی (مخابراتی) و رایانه ای نیاز به ساخت فرستنده - گیرنده هایی با پهنای باند بسیار بالا را پدید آورده است. بکارگیری حاملی

مانند فیبر نوری می تواند کم و بیش همه کاستی های سامانه های کابلی را از میان بردارد و در کنار آن مایهگاه پروژه برق دانشگاه زنجان و انشعاب زنجان و انشعاب مهندسی گروه برق آزمایشگاه پروژه برق دانشگاه زنجان و انشعاب مهندسی گروه

این پایان نامه به پژوهش در زمینه مدار بازسازی کلاک و بازیافت داده به عنوان مهمترین بخش در گیرنده سریال (تکرشته ای) می پردازد. در این پروژه طراحی یک مدار بازیافت دیتا و کلاک با ساختار حلقه قفل فاز برای کاربرد های فرکانس بالا انجام شده است. در طراحی این ساختار نرخ بالای داده ورودی، دستیابی به توان تلفاتی و مساحت اندک و همچنین رفتار جیتتر مناسب اساس طراحی قرار داده

شده اند. بر این اساس، یک آشکار ساز خطی برای طراحی در نظر گرفته شده است. بدلیل محدودیت مهندسی گروه برق آزمایشگاه پروژه برق دانشگاه زنجان و انشعاب مهندسی گروه برق آزمایشگاه پروژه برق دانشگاه زنجان و انشعاب مهندسی گروه

سرعت آشکار ساز خطی فاز و برای داشتن فرکانس کاری بالا نیازمند کاهش فرکانس بخش آشکار ساز بودیم و در این راستا از ساختاری جدید برای آشکار ساز خطی استفاده شده است که با کلاک با فرکانس 1/4 داده ورودی عمل آشکار سازی فاز را انجام می دهد. در این ساختار به 4 فاز کلاک با

اختلاف فاز های 90 درجه نیاز می باشد. در این ساختار سعی شده است که با استفاده از حداقل تعداد طبقات و همچنین ساده ترین المانها عمل آشکار سازی انجام گیرد و همچنین با تولید دو سیگنال خطا

و چهار سیگنال مرجع و تغییر ساختار مدار پمپ بار سعی شده است که مسئله محدودیت سرعت آشکار ساز خطی فاز را تا حدی حل نمود. بمنظور داشتن رفتار نویز مناسب و کاهش جیتتر تولیدی مدار،

اسیلاتور سلفی - خازنی برای طراحی بخش اسیلاتور انتخاب شده است.





.....	فصل پنجم	84
.....	حلقه قفل فاز	84
.....	5 حلقه قفل فاز	85
.....	1.5 مدل فرکانسی حلقه بازیافت داده و کلاک	85
.....	2.5 مفهوم جیتیر	87
.....	1.2.5 جیتیر انتقال	88
.....	2.2.5 جیتیر تولید	89
.....	3.2.5 جیتیر تحمل	91
.....	3.5 تابع انتقال حلقه	91
.....	5.3.1 بررسی رفتار فرکانسی $H(s)$ با فرض $R_o \rightarrow \infty$	94
.....	2.3.5 بررسی رفتار فرکانسی $H(s)$ با فرض $C_3 = 0$ و وجود $R_o$	97
.....	3.3.5 بررسی رفتار فرکانسی $H(s)$ با فرض $C_3 = 0$ و $R_o \rightarrow \infty$	99
.....	4.5 خطای حالت پایدار	99
.....	6 شبیه سازی	102
.....	6.1 شبیه سازی بخش آشکارساز	102
.....	2.6 نتایج شبیه سازی مدار آشکار ساز خطی فاز پیشنهادی	103
.....	6.3 نتایج شبیه سازی فیلتر حلقه	105
.....	7 منابع و مراجع	109

# فصل اول

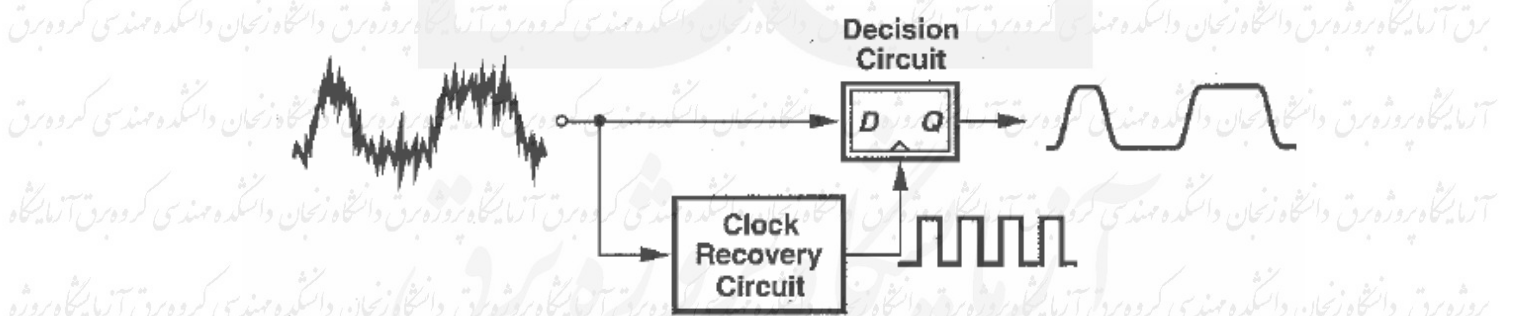
## مقدمه



## 1 مقدمه

در دنیای امروز با پیشرفت تکنولوژی و افزایش اطلاعات، انتقال اطلاعات در حجم بالا و با سرعت خیلی زیاد یکی از نیازهای اساسی بشمار میرود. در این راستا انتقال سریال اطلاعات بصورت باینری نقش بسیار مهمی را ایفا می کند. در این روش داده، بصورت باینری و سریال از یک محیط خیلی سریع مثل فیبر نوری ارسال می گردد. در بخش گیرنده دریافت صحیح اطلاعات یک نیاز اساسی است. برای این منظور باید فرکانس ارسال داده به طور دقیق معلوم باشد تا داده را به ترتیب مناسب دریافت کنیم. امکان ارسال داده و کلاک بطور همزمان کاری پرهزینه و غیردقیق است. بدین منظور بایستی با راه حلی مناسب از خود داده ارسال که به صورت تصادفی نیز می باشد، کلاک هم فرکانس با داده بصورت دقیق استخراج شود و بعد از استخراج این کلاک، به نحو مناسب داده ها را از داده ارسال که احتمالاً در مسیر نویزی شده اند، بازیافت کنیم. بخش مسئول استخراج کلاک و داده<sup>1</sup> تصادفی ورودی، به مدار بازیافت کلاک و داده معروف است.

شکل (1-1) نمایانگر نقش مدار بازیافت داده و کلاک در بازسازی داده ورودی می باشد. در این مدار، داده ورودی که نویزی است، به دو بخش تقسیم می شود. یکی به مدار بازیافت داده و دیگری به مدار بازیافت کلاک می رود.



شکل 1-1. عملکرد مدار بازسازی کلاک و داده

<sup>1</sup> Clock and Data Recovery Circuit









## 2.2.1 آشکار ساز خطی

در این نوع آشکار سازهای فاز، پالسی هم عرض فاز بین لبه داده و کلاک تولید می گردد و در نتیجه

خروجی آن تنها پس فاز و پیش فاز بودن کلاکها و داده را مشخص می کند بلکه یک سیگنال که عرض

آن به صورت خطی متناسب با اختلاف فاز است تولید می کند. این ساختار دارای رفتار جیتتر بسیار

بهتری نسبت به آشکار سازهای غیر خطی است. اما مساله طراحی برای فرکانسهای بالا یکی از

مشکلات اساسی این ساختار می باشد [24]. در این پروژه هدف طراحی مدار آشکار ساز فاز داده و

کلاک با ساختار حلقه قفل فاز و آشکار ساز خطی فاز می باشد.

## 7 منابع و مراجع

[1] Razavi, B., Design of Integrated Circuits for optical communication, 1<sup>st</sup> edition, McGraw-Hill, 2003

[2] Sangjin Byun, Jyung Chan Lee, Jae Hoon Shim, Kwangjoon Kim, and Hyun-Kyu Yu, 'A 10-Gb/s CMOS CDR and DEMUX IC With a Quarter-Rate Linear Phase Detector', *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, VOL. 41, NO. 11, NOVEMBER 2006.

[3] Savoj, J., Razavi, B., "A 10Gb/s CMOS Clock and Data Recovery Circuit ", IEEE Symposium on VLSI Circuit Design of Technical Papers, 2000.

[4] Savoj, J., Razavi, B., "A 10Gb/s Clock and Data Recovery Circuit with a Half-Rate Linear Phase Detector", *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, VOL.36, NO.5, MAY 2001.

[5] LEE, J., Razavi, B., "A 40Gb/s Clock and Data Recovery Circuit with a Half-Rate Linear Phase Detector", *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, VOL.38, NO.12, MAY 2003.

[6] Song, S-J., Yoo, H-J., "A 4Gb/s Clock and Data Recovery Circuit Using 1/8 Rate Clock Technique", *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, VOL. 38, NO. 7, JULY 2003.

[7] Balsi, M., Centurelli, F., Scotti, G., Tommasino, P., Trifiletti, A., "An Accurate Behavioral Model of Phase Detectors for Clock Recovery Circuit", IEEE, 2003.

[8] Ou, J., Caggiano, M.F., "LOOP FILTER DESIGN CONSIDERATION FOR CLOCK AND DATA RECOVERY CIRCUITS", IEEE, 2003.

[9] Devito, L.M., "A versatile clock recovery architecture and monolithic implementation", in *monolithic Phase-Locked Loops and Clock Recovery Circuits, Theory and Design*, B.Razavi, Ed, New York, IEEE Press, 1996.

[10] Tang, Y., Geiger, R.L., "Phase Detector for PLL-Based high-speed data recovery", *ELECTRONICS LETTERS*, 7<sup>st</sup> November 2002, Vol. 38, No. 23.

[11] Herzel, F., Fischer, G., Gustat, H., and Weger, P., "An Integrated CMOS PLL for Low Jitter Applications", *IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS II: ANALOG AND DIGITAL SIGNAL PROCESSING*, VOL. 49, NO. 6, JUNE 2002.

[12] Tang, Y., Geiger, R.L., "A 2.5GBIT/S CMOS PLL FOR DATA RECOVERY WITHOUT FREQUENCY DIVIDER", IEEE, 2001.

[13] Idei, G., Kunieda, H., Unno, K., "AClock Recovery PLL Application to Data Stream with Missing Pulses", IEEE, 2000.

[14] Greshishchev, Y.M., Schvan, P., "SiGe Clock and Data Recovery IC with Linear Type PLL for 10-Gb/s SONET Application", IEEE JOURNAL OF SOLID-STATE CIRCUIT, VOL.35, NO. 9, SEPTEMBER 2000.

[15] Nakamura, K., Fukaiishi, M., Abiko, H., "A 6Gbps CMOS Phase Selecting DEMUX Module Using Half-Frequency Clock", Symposium on VLSI Circuit Design of Technical Paper, IEEE, 1998.

[16] Anand, S.B., Razavi, B., "A 2.5-Gb/s Clock Recovery Circuit for NRZ Data in 0.4 um Technology", IEEE CONFERENCE, 2000.

[17] M.Alioto, R.Mita, G. Palumbo, "Analysis and Comparison of Low-Voltage CML D-Latch", 9th International Conference on Electronics, Circuit and System, Vol. 2, 2002.

[18] B. Razavi, Y. Ota and, R.G. Swarz, "Design Techniques for Low-Voltage High-Speed Digital Bipolar Circuit", IEEE Journal of Solid-State Circuit, VOL. 29, March 1994.

[19] S. Gondi and B. Razavi "Equalization and Clock and Data Recovery Techniques for 10-Gb/s CMOS Serial-Link Receivers", IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 42, NO. 9, SEPTEMBER 2007.

[20] Samani, P., Mirabbasi, SH., "A Fully Differential High-Speed Double-Edge Triggered Flip-flop (DETFF)", IEEE, CCECE 2004.

[21] Kratyuk, V., Vytyaz, L., Moon, U., Mayaram, K., "Analysis of Supply and Ground Noise Sensivity in Ring and LC Oscillators", IEEE, 2005.

[22] Andreani, P., Wang, X., Vandi, L., Fard., A., "A Study of Phase Noise in Colpitts and LC-Tank CMOS Oscillators", IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 40, NO. 5, MAY 2005.

[23] Cha, C.Y., Lee, S., "A Complementary Colpitts Oscillator in CMOS Technology", IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES, VOL. 53, NO. 3, MARCH 2005.

[24] Razavi, B., "Challenges in the Design of High-Speed Clock and Data Recovery Circuits", IEEE Communications Magazine, August 2002.

[25] M. Maeng., F. Bien., Y. Hur., H. Kim., S. Chandramouli., E. Gebara., J. Laskar., "0.18-um CMOS Equalization Techniques for 10-Gb/s Fiber Optical Communication

