دانشگاه زنجان

بررسی و ارزیابی مدارات محاسبات تقریبی و تحلیل و شبیه سازی یک جمع کننده تقریبی چهاربیتی

استاد راهنما :

دکتر رضا امیدی

نگارش :

امین محمدی بوئینی

دی ماه 1398

فهرست مطالب

عنوان صفحه

پیشگفتار 1

معرفی 2

1.جمع کننده تقریبی 4

1.1. طبقه بندی جمع کننده های تقریبی 6

1.1.1. جمع کننده های قیاسی 6

2.1.1. جمع کننده های تقسیم شده 6

3.1.1. جمع کننده های انتخابگر کری 8

4.1.1. تمام جمع کننده های تقریبی 11

2.1. ارزیابی جمع کننده های تقریبی 13

1.2.1. مشخصه های خطا 13

2.2.1. مشخصات مدار 16

3.2.1. بررسی کلی 21

2.ضرب کننده های تقریبی 22

1.2. طبقه بندی ضرب کننده های تقریبی 22

1.1.2. تقریب در تولید محصولات جزئی 25

2.1.2. تقریب در درخت محصول جزئی 26

3.1.2. استفاده از شمارنده یا تراکم تقریبی در درخت محصول جزئی 27

4.1.2. ضرب کننده های تقریبی Booth 30

2.2. ارزیابی ضرب کننده های تقریبی.....33
1.2.2. مشخصات خطا.....33
2.2.2. مشخصات مدار.....37
3.2.2. نتیجه.....42
3.مقسم های تقریبی.....44
1.3. طبقه بندی.....44
1.1.3. مقسم های تقریبی آرایه ای.....44
2.1.3. مقسم های تقریبی مبتنی بر برازش منحنی.....45
3.1.3. مقسم های تقریبی مبتنی بر گرد کردن.....46
2.3. نتیجه گیری.....47
4.کاربرد پردازش تصویر.....48
1.4. شفاف سازی تصویر.....48
2.4. تشخیص تغییر.....53
5.نتیجه گیری.....56
6.شبیه سازی و بررسی جمع کننده تقریبی.....58
1.6. معرفی مدل جمع کننده مورد استفاده.....58
2.6. شماتیک جمع کننده.....62
3.6. مقایسه نتایج شبیه سازی مد تقریبی و دقیق.....65
4.6. طراحی مدار با استفاده از تکنولوژی tsmc65nm.....66
5.6. مقایسه پارامتر های مختلف ترانزیستور و تاثیر پارامتر ها در خروجی.....69
منابع و مآخذ.....74

پیشگفتار :

اکثر اوقات جمع کننده ها، ضرب کننده ها و مقسم ها به عنوان مهم ترین ماژول های حسابی یک پردازنده در تعیین عملکرد و راندمان کار های محاسباتی به شمار می روند. نیاز به سرعت بالا و بهره وری در انرژی و هم چنین ویژگی مقاومت در برابر خطا در بسیاری از کاربرد ها (برای مثال کاربرد های چند رسانه ای، تشخیص و تجزیه داده ها) منجر به استفاده از طراحی مدارات تقریبی شده است. در این پایان نامه، یک بررسی و طبقه بندی برای طرح های فعلی مدار های محاسباتی تقریبی که شامل جمع کننده ها، ضرب کننده ها و مقسم ها ارائه شده است. برای درک ویژگی های طراحی های متفاوت یک ارزیابی جامع و مقایسه ای از خطا و ویژگی های مدارات انجام می شود. با استفاده از ضرب کننده ها و جمع کننده های تقریبی، مدار مورد نیاز برای کاربردی همانند پردازش تصویر قادر است تا 47٪ توان و 36٪ تاخیر توان را نسبت به یک مدار دقیق کاهش دهد در حالی که کیفیت پردازش تصویر هر دو مدار بسیار مشابه هم می باشد. برای تشخیص میزان پیشرفت در تاخیر، توان و مساحت مدار برای تشخیص اختلاف خروجی تصاویر از مقسم های تقریبی استفاده می کنیم.

معرفی :

اگر چه خطا های محاسباتی بطور کلی مطلوب نیستند، ولی کاربرد هایی همچون چند رسانه ای، ارتباطات بی سیم، شناسایی و داده کاوی قادر به تحمل مقداری خطا می باشند. به دلیل محدودیت های ادراکی انسان، این خطا ها تفاوت های آشکاری در کاربرد هایی همچون پردازش صدا و تصویر ایجاد نمی کنند. علاوه بر این، در بسیاری از سیستم های پردازش سیگنال دیجیتال(DSP)، ورودی های از جهان خارج اکثرا دارای نویز هستند، بنابراین در دقت و درستی نتایج محاسبه شده محدودیت هایی وجود دارد. بسیاری از کاربرد ها مانند الگوریتم های طبقه بندی و شناسایی مبتنی بر محاسبات آماری یا احتمالی هستند. با توجه به ماهیت این کاربرد ها، خطا های بی اهمیت در محاسبات تاثیر چندانی در کاهش عملکرد ندارد. بنابراین، محاسبات تقریبی قابل استفاده در بسیاری از کاربرد هایی که قادر به تحمل میزان مشخصی از خطا هستند می باشد.

تحقیقات اخیر در مورد محاسبات تقریبی از مدار ها به سمت زبان های برنامه نویسی گسترش پیدا کرده است. در اینجا به طراحی مدار های تقریبی علی الخصوص مدار های محاسباتی تقریبی شامل جمع کننده ها، ضرب کننده ها و مقسم ها تمرکز می کنیم.

برای ارزیابی جمع کننده های تقریبی استفاده از معیار های طراحی و روش های تحلیلی پیشنهاد شده است. از شبیه سازی مونت کارلو برای به دست آوردن داده ها برای تجزیه و تحلیل استفاده شده است. در این مقاله، میزان خطا(ER)، اختلاف خطا(ED)، و میانگین خطا برای ارزیابی ویژگی های خطا ی طرح های تقریبی استفاده شده است. از اعداد و ارقام مرتبط با سخت افزار شامل تاخیر مسیر بحرانی، سطح مدار و اتلاف توان، همچنین معیار های مرکب از جمله محصول تاخیر توان (PDP) و محصول تاخیر سطح (ADP) برای ارزیابی ویژگی های مداری این طراحی ها استفاده شده است.

پردازش تصویر در کاربرد های متنوعی از جمله چند رسانه ای، تصویربرداری و شناخت الگوی زیست پزشکی از اهمیت بالایی برخوردار می باشد. با بهره جستن از مقاوت در برابر خطای ذاتی آن، میتوانیم با استفاده از مدار های محاسباتی تقریبی بصورت بهینه تری پردازش تصویر را به کار ببریم.

بنابراین، واضح سازی تصویر و تشخیص تغییرات در آن به عنوان ارزیابی بیشتر مدارات تقریبی در برابر ارزیابی با استفاده از معیار های طراحی در نظر گرفته می شود. نتایج شبیه سازی نشان می دهد که برای مثال در مدارات واضح سازی تصاویر با استفاده از جمع کننده ها و ضرب کننده های تقریبی می توان تا 53٪ در توان و 58٪ در سطح مدار در مقایسه با یک مدار دقیق با دقت تقریبا همسان صرفه جویی به عمل آورد. هم چنین در مدارات تشخیص تغییر با استفاده از مقسم های تقریبی می توان تا 40٪ بهبود در سرعت و 25٪ بهبود در توان را در مقایسه با یک مدار دقیق با دقت تقریبا مشابه بدست آورد. در ذیل نتایج جدید بدست آمده در این مقاله مطرح می گردد.

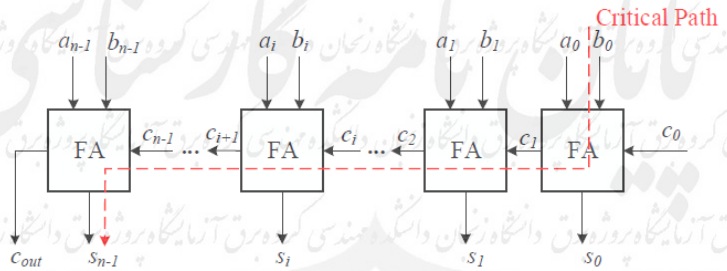
1. مجموعه بزرگتری از جمع کننده ها که شامل طراحی های جدید می باشند در این مقاله در نظر گرفته شده اند. علاوه بر این، یک معیار خطای جدید(خطای متوسط) برای اندازه گیری بایاس خروجی مدار تقریبی استفاده شده است که در عملیات انباشت بسیار مهم می باشد.
2. ضرب کننده های تقریبی بوث برای عملیات ضرب علامت دار در ارزیابی در نظر گرفته شده است در حالی که در مقاله های دیگر از ضرب کننده های بدون علامت استفاده شده است.
3. مقسم های تقریبی فعلی بررسی شده و ویژگی های آن ها با توجه به عملکرد، دقت و مصرف سخت افزار مورد بحث قرار گرفته است.
4. فرآیند 28 نانومتری STM CMOS در سنتز مدار در سراسر این مقاله استفاده شده است، در حالی که در مقالات دیگر از تکنولوژی قدیمی 65 نانومتر استفاده شده است.
5. مدار های محاسباتی تقریبی درنظر گرفته شده شامل جمع کننده، ضرب کننده و مقسم ها برای دو کاربرد پردازش تصویر برای ارزیابی بیشتر استفاده شده است. صحت و خصوصیات مدار با شبیه سازی و سنتز بدست می آیند.

1.جمع کننده تقریبی

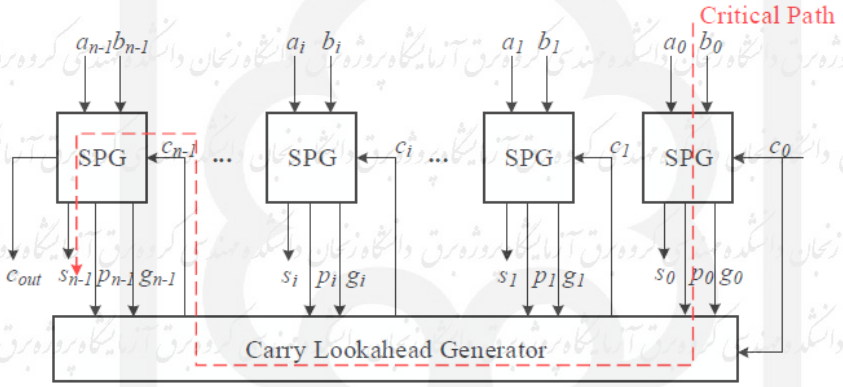
یک جمع کننده عمل جمع دو عدد باینری را انجام می دهد. دو جمع کننده ساده همان جمع کننده با رقم نقلی موجی (RCA) (شکل 1) و جمع کننده با رقم نقلی قابل پیش بینی (CLA) (شکل 2) می باشند. در یک RCA nبیتی، رقم نقلی هر تمام جمع کننده (FA) به FA بعدی منتقل می شود در نتیجه تاخیر و پیچیدگی مدار به طور متناسب با n (یا $O(n)$) افزایش می یابد. یک CLA n بیتی از n واحد تشکیل شده است که بطور موازی برای تولید حاصل جمع و سیگنال های تولید $(g_i = a_i b_i)$ و انتشار $(p_i = a_i + b_i)$ برای تولید رقم نقلی پیش بینی شده عمل می کنند. تاخیر CLA بصورت لگاریتم n (یا $O(log(n))$) می باشد، بنابراین بطور قابل توجهی کوتاه تر از تاخیر RCA می باشد. با این حال، یک CLA به مدار بزرگتری (در $O(nlog(n))$) نیاز دارد که باعث اتلاف توان بیشتری می شود.

بسیاری از طرح های تقریبی با کاهش مسیر بحرانی و پیچیدگی سخت افزاری یک مدار دقیق پیشنهاد شده است. یک روش اولیه مبتنی بر عملیات قیاسی می باشد (Lu 2004; Verma et al. 2008). در یک جمع کننده قیاسی n بیتی، هر بیت حاصل جمع توسط بیت k ام کم ارزش تر (بیت LSB) $(n > k)$ پیش بینی می شود. هم چنان که زنجیره رقم نقلی وتاه تر از n باشد، یک جمع کننده قیاسی سریع تر از طرح های معمولی می باشد. یک بلوک جمع کننده توسط چندین جمع کننده کوچک که بطور موازی کار میکنند (Mohapatra et al. 2011; Zhu et al. 2009; Kahng and Kang 2012; Yang et al. 2016) ، تشکیل می شود. از این رو، زنجیره انتشار کری به بخش های کوچکتر کوتاه می شود. از بخش بندی نیز در (Du et al. 2012; Kim et al. 2013; Ye et al. 2013; Lin et al. 2015; Li and Zhou 2014;Hu and Qian 2015; Miao et al. 2012; Camus et al. 2015; 2016) استفاده می شود، اما ورودی کری برای هر زیر جمع کننده بصورت متفاوت انتخاب می شود. به این نوع جمع کننده، جمع کننده با انتخاب کری گفته می شود. روش دیگر برای کاهش تاخیر مسیر بحرانی و اتلاف توان استفاده از یک تمام جمع کننده تقریبی می باشد (Mahdiani et al. 2010; Gupta et al. 2013; Yang et al.2013; Cai et al. 2016; Angizi et al. 2017) .

سپس از تمام جمع کننده تقریبی برای پیاده سازی LSB ها در یک جمع کننده دقیق استفاده می شود. بنابراین، جمع کننده های تقریبی به 4 دسته تقسیم می شوند که بطور خلاصه در ادامه بررسی می شود.



شکل 1. ریپل کری ادر nبیتی (RCA) . FA: یک فول ادر 1 بیتی



شکل 2. ادر پیش بین کری nبیتی (CLA). SPG: واحد مورد استفاده برای تولید سیگنال های حاصل جمع، تولید و انتشار

1.1. طبقه بندی جمع کننده های تقریبی

1.1.1. جمع کننده های قیاسی

جمع کننده تقریبا صحیح (ACA) بر اساس طرح جمع کننده قیاسی (Lu 2004) ساخته شده است. در یک ACA n بیتی، بیت های k LSB ام برای پیش بینی کری هر بیت حاصل جمع ($n > k$) به کار برده می شود، که در شکل 3 نمایش داده شده است. برهمین اساس، تاخیر مسیر بحرانی به ($O(\log(k))$) (برای کارکرد موازی همچون CLA) کاهش می یابد. طرح موجود در (Lu 2004) نیازمند ($n - k$) عدد مولد زیر جمع کننده k بیتی در یک جمع کننده n بیتی می باشد لذا، مصرف سخت افزار نسبتا زیاد است(در ($O((n-k)klog(k))$). مساحت کلی در (Verma et al.2008) با اشتراک گذاشتن برخی المان ها در بین مولد های زیر جمع کننده کاهش می یابد.

2.1.1. جمع کننده های تقسیم شده

جمع کننده تقسیم برابر (ESA) یک جمع کننده n بیتی را به تعدادی زیر جمع کننده k بیتی کوچکتر که بطور موازی با ورودی کری ثابت کار میکنند، تقسیم می کند، بنابراین کری در بین زیر جمع کننده ها پخش نمی شود (شکل 4) (Mohapatra et al.2011). میزان تاخیر ESA ($O(\log(k))$) و پیچیدگی مدار ($O(n\log(k))$) می باشد. مساحت سخت افزاری آن بسیار کوچکتر از ACA می باشد. جمع کننده متحمل خطا نوع 2 (ETAII) از مولد کری و مولد حاصل جمع موازی تشکیل شده است(Zhu et al.2009)، که در شکل 5 نشان داده شده است. سیگنال کری تشکیل شده از مولد کری قبلی به مولد حاصل جمع بعدی انتقال داده می شود. بر همین اساس، ETAII از اطلاعات بیشتری برای پیش بینی کری استفاده می کند و در نتیجه برای مقدار k یکسان نتیجه دقیق تری نسبت به ESA دارد. مدار ETAII پیچیده تر از ESA می باشد و به دلیل مسیر بحرانی طولانی تر ($2k$) تاخیر بیشتری دارد.

دانشجویان محترم:

جهت دسترسی به متن کامل پایان نامه‌ها به کتابخانه دانشکده مهندسی و یا آزمایشگاه پروژه گروه برق مراجعه فرمایید.

منابع و مآخذ :

Tinku Acharya and Ajoy K Ray. 2005. Image processing: principles and applications. John Wiley & Sons.

Shaahin Angizi, Zhezhi He, Ronald F. DeMara, and Deliang Fan. 2017. Composite Spintronic Accuracy- Configurable Adder for Low Power Digital Signal Processingr. In ISQED. IEEE.

Dursun Baran, Mustafa Aktan, and Vojin G Oklobdzija. 2010. Energy efficient implementation of parallel CMOS multipliers with improved compressors. In ACM/IEEE international symposium on Low power electronics and design. ACM, 147–152.

Kartikeya Bhardwaj, Pravin S. Mane, and Jorg Henkel. 2014. Power- and area-efficient Approximate Wallace Tree Multiplier for error-resilient systems. In ISQED. 263–269.

Hao Cai, You Wang, Lirida AB Naviner, Zhaohao Wang, and Weisheng Zhao. 2016. Approximate computing in MOS/spintronic non-volatile full-adder. In International Symposium on Nanoscale Architectures (NANOARCH). IEEE, 203–208.

Vincent Camus, Jeremy Schlachter, and Christian Enz. 2015. Energy-efficient inexact speculative adder with high performance and accuracy control. In IEEE International Symposium on Circuits and Systems (ISCAS). 45–48.

Vincent Camus, Jeremy Schlachter, and Christian Enz. 2016. A low-power carry cut-back approximate adder with fixed-point implementation and floating-point precision. In Proceedings of the 53rd Annual Design Automation Conference. ACM, 127.

Linbin Chen, Jie Han, Weiqiang Liu, and Fabrizio Lombardi. 2015. Design of Approximate Unsigned Integer Non-restoring Divider for Inexact Computing. In Proceedings of the 25th edition on Great Lakes Symposium on VLSI. ACM, 51–56.

Linbin Chen, Jie Han,Weiqiang Liu, and Fabrizio Lombardi. 2016. On the Design of Approximate Restoring Dividers for Error-Tolerant Applications. IEEE Trans. Comput. 65, 8 (2016), 2522–2533.

Chia-Hao Lin and Ing-Chao Lin. 2013. High accuracy approximate multiplier with error correction. In ICCD. IEEE, 33–38.

IngChao Lin, YiMing Yang, and ChengChian Lin. 2015. High-Performance Low-Power Carry Speculative Addition With Varible Latency. IEEE Trans. VLSI Syst. 23, 9 (2015), 1591–1603.

Cong Liu. 2014. Design and Analysis of Approximate Adders and Multipliers. Master’s thesis. University of Alberta, Canada.

Cong Liu, Jie Han, and Fabrizio Lombardi. 2014. A Low-Power, High-Performance Approximate Multiplier with Configurable Partial Error Recovery. In DATE.

Cong Liu, Jie Han, and Fabrizio Lombardi. 2015. An analytical framework for evaluating the error characteristics of approximate adders. IEEE Trans. Comput. 64, 5 (2015), 1268–1281.

Cong Liu, Honglan Jiang, Fabrizio Lombardi, and Jie Han. 2017a. High-Performance Approximate Unsigned Multipliers with Configurable Error Recovery. IEEE Transactions on Circuits and Systems I, under revision. (2017).

Wei Liu and Alberto Nannarelli. 2012. Power efficient division and square root unit. IEEE Trans. Comput. 61, 8 (2012), 1059–1070.

Weiqiang Liu, Liangyu Qian, Chenghua Wang, Honglan Jiang, Jie Han, and Fabrizio Lombardi. 2017b.

Design of Approximate Radix-4 Booth Multipliers for Error-Tolerant Computing. IEEE Trans. Comput. (2017).
Joshua Yung Lih Low and Ching Chuen Jong. 2013. Non-iterative high speed division computation based on Mitchell logarithmic method. In IEEE International Symposium on Circuits and Systems (ISCAS). 2219–2222.
Shih-Lien Lu. 2004. Speeding up processing with approximation circuits. Computer 37, 3 (March 2004), 67–73.
Jieming Ma, Ka Lok Man, Nan Zhang, Sheng-Uei Guan, and Taikyeong Ted Jeong. 2013. High-speed areaefficient and power-aware multiplier design using approximate compressors along with bottom-up tree topology. In ICMV: Algorithms, Pattern Recognition, and Basic Technologies.
H R Mahdiani, A Ahmadi, S M Fakhraie, and C Lucas. 2010. Bio-Inspired Imprecise Computational Blocks for Efficient VLSI Implementation of Soft-Computing Applications. IEEE Trans. Circuits and Systems 57, 4 (April 2010), 850–862.
Sana Mazahir, Osman Hasan, Rehan Hafiz, Muhammad Shafique, and Jörg Henkel. 2017. Probabilistic error modeling for approximate adders. IEEE Trans. Comput. 66, 3 (2017), 515–530.
Jin Miao, Ku He, Andreas Gerstlauer, and Michael Orshansky. 2012. Modeling and synthesis of qualityenergy optimal approximate adders. In Proceedings of the ACM International Conference on Computer-Aided Design. 728–735.
Joshua San Miguel, Jorge Albericio, Andreas Moshovos, and Natalie Enright Jerger. 2015. Doppelgänger: a cache for approximate computing. In Proceedings of the 48th International Symposium on Microarchitecture.
ACM, 50–61.
SONG Min-An, VAN Lan-Da, and KUO Sy-Yen. 2007. Adaptive low-error fixed-width Booth multipliers.
IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences 90, 6(2007), 1180–1187.
John N Mitchell Jr. 1962. Computer multiplication and division using binary logarithms. IRE Transactions on Electronic Computers 4 (1962), 512–517.
D. Mohapatra, V.K. Chippa, A Raghunathan, and K. Roy. 2011. Design of voltage-scalable meta-functions for approximate computing. In Design, Automation & Test in Europe Conference & Exhibition (DATE). 1–6.
Amir Momeni, Jie Han, Paolo Montuschi, and Fabrizio Lombardi. 2015. Design and Analysis of Approximate Compressors for Multiplication. IEEE Trans. Comput. 64, 4 (2015), 984–994.
Vojtech Mrazek, Syed Shakib Sarwar, Lukas Sekanina, Zdenek Vasicek, and Kaushik Roy. 2016. Design of power-efficient approximate multipliers for approximate artificial neural networks. In International Conference On Computer Aided Design (ICCAD). 7.
Srinivasan Narayanamoorthy, Hadi Asghari Moghaddam, Zhenhong Liu, Taejoon Park, and Nam Sung Kim. 2015. Energy-efficient approximate multiplication for digital signal processing and classification
applications. IEEE Transactions on VLSI Systems 23, 6 (2015), 1180–1184.
Vojin G. Oklobdzija, David Villeger, and Simon S. Liu. 1996. A method for speed optimized partial product
reduction and generation of fast parallel multipliers using an algorithmic approach. IEEE Trans. Comput. 45, 3 (1996), 294–306.