

## عنوان پروژه

«حالت ولتاژ مدار سیناپسی پل ممریستور همراه با شبیه ساز رفتار

ممریستور»

ارائه دهنده

محمد دین محمدی

استاد راهنما

جناب آقای دکتر شهرام محمدی

۱۳۹۷

## فهرست

مقدمه ..... ۳

مدل های ممریستور HP ..... ۴

مدار مقلد ممریستور HP ..... ۶

مدار عصبی (نورونی) ممریستور ساخته شده با مقلدهای ممریستور ..... ۹

شبه سازی ..... ۱۳

نتیجه گیری ..... ۱۵

منابع ..... ۲۷

## مقدمه

ضرب های سیناپسی مابین سیگنال های ورودی و وزن ها، جزو عملیات کلیدی در شبکه های عصبی، ضرب ماتریسی بردار برنامه پذیر آنالوگ، و شبکه های عصبی سلولی محسوب میشوند. اغلب ضرب های سیناپسی قبلی بر اساس مدل های نرم افزاری هستند. با اینکه تغییر پذیری مدل مبتنی بر نرم افزار، بسیار خوب است ولی سرعت پردازش آن یک تنگنا و مانع جدی را نشان میدهد. بُرد (صفحه مدار) شتاب دهنده دیجیتال با نسخه نرم افزاری شبکه عصبی موجود در آن به عنوان یک گزینه سودمند، نشان دهنده تفاوت بین تغییر پذیری محدود و سرعت بالای پردازش است. ولی با این حال، این روش ممکن است راه حلی برای مشکل بزرگتر شبکه های عصبی نباشد. برخی تلاش های پژوهشی به منظور ساخت سیناپس های مصنوعی (وزن ها) در تراشه شبکه عصبی و ضرب ماتریسی بردار برنامه پذیر آنالوگ با استفاده از فناوری های CMOS انجام شده اند. برای پیاده سازی پردازش های عصبی فراوان در روی تراشه، تراکم بسیار بالایی از فناوری یکپارچه سازی مورد نیاز است. این هدف بسیار چالش برانگیز است و تاکنون موارد موفقیت آمیز زیادی در خصوص پیاده سازی نورونی گزارش نشده اند. شبکه عصبی سلولی یکی از موارد پیاده سازی موفق مدارهای ضرب کننده آنالوگ است. اکثر وزن های سیناپسی اجرا شده با فناوری های مرسوم و متداول، فرآر هستند. همچنین، ضرب سیناپسی مابین سیگنال ورودی و وزن نیز غیرخطی است. بنابراین، معرفی فناوری جدیدی برای وزن دهی که غیر فرآر و خطی باشد، برای توسعه بیشتر مهندسی نورومورفیک حائز اهمیت است.

در سال ۲۰۰۸، HP ساخت موفقیت آمیز حافظه نانو مقیاس بسیار فشرده و غیر فرآری بنام ممریستور را اعلام کرد. ممریستور در ابتدا توسط چوآ به عنوان چهارمین اِلِمان بنیادی مدار در مدارهای الکتریکی فرض شد که بر پایه ویژگی های غیرخطی بار و شار مغناطیسی استوار است. با ارائه ی یک ولتاژ یا جریان به ممریستور، مقاومت آن میتواند تغییر کند. به این ترتیب، ممریستور اطلاعات را در خود حفظ میکند. بسیاری از پژوهش های اخیر، پتانسیل بالای ممریستورها در استفاده از حافظه، و سیناپس های مصنوعی را نشان داده اند. کانتلی و همکاران، کاربرد سیناپس ممریستور برای یادگیری هیبین (Hebbian) در شبکه عصبی اسپایکینگ (مصنوعی) را ارائه دادند. اشنايدر شبکه خود سازمان دهنده ی مبتنی بر ممریستور را با استفاده از اتصالات اختصاص یافته برای وزن دهی مهاری (بازدارنده، منفی) نشان داد. برای چنین کاربردی در شبکه عصبی یا شبکه عصبی سلولی، باید وزن هر اتصال بصورت منفی و یا مثبت تعیین شود. در مرجع [۲۴]، ما ساختار مدار پُل ممریستوری را نشان دادیم که قادر به انجام عملیات سیناپسی علامت گذاری شده است. این مطالعه با استفاده از مدل ریاضی

ممریستور HP انجام شد که در آن، عملکرد مدار پُل ممریستور از طریق شبیه سازی نرم افزاری مورد تأیید قرار

گرفت. این مطالعه در واقع بسط و توسعه‌ی کار قبلی پیشرونده به سوی پیاده سازی مدار است که در آن، ساختار نوروپل ممریستور با مدارهای مقلد ممریستور ما ساخته میشود. یک شبکه عصبی ساده که با جمع و وزن (وزن دهی) سیناپسی عمل میکند نیز از طریق ترکیب سیناپس های مبتنی بر مقلدهای ممریستور و مدارهای تقویت کننده تفاضلی ایجاد میشود. در این مقاله، مدل ممریستور (حافظه) تیتانیوم دی اکسید HP در بخش ۲ معرفی میشود. در بخش ۳، یک مدار مقلد ممریستور ارائه میشود. سیناپس های پل ممریستور ساخته شده با مدارهای مقلد ممریستور در بخش ۴ شرح داده میشوند. نتایج شبیه سازی در بخش ۵ ارائه میشوند و در بخش ۶ نیز مربوط به ارائه‌ی نتیجه گیری است.

## ۲. مدل های ممریستور (حافظه) HP

در مدل ممریستور (حافظه) تیتانیوم دی اکسید HP، همانطور که در شکل 1(a) نشان داده شده، ناحیه بدون دوپه (دوپه نشده) با  $TiO_2$  بسیار مقاوم و ناحیه دوپه شده با لایه  $TiO_{2-x}$  حاوی فضاهای خالی اکسیژن شدیداً رسانا مابین دو الکتروپلاتین واقع شده اند. زمانی که سیگنال ولتاژ یا جریان به دستگاه اعمال میشود، خط مرزی بین لایه های دوپه شده و دوپه نشده به عنوان تابعی از ولتاژ یا جریان اعمال شده، تغییر کرده و جابه جا میشود. در نتیجه، مقاومت بین دو الکتروپلاتین تغییر میکند. شکل 1(b,c) مربوط به مدار معادل است و نماد قطب مثبت و منفی آن توسط نوار سیاه در یک طرف نمایش داده شده است. این قطبیت تعیین شده نشان میدهد که وقتی جریان از سمت چپ (راست) به سمت راست (چپ) نماد ممریستور در شکل 1(c) روانه شود، ممریستنس کاهش (و یا افزایش) می یابد.

فرض کنید  $w$  ضخامت ناحیه دوپه شده، و  $D$  ضخامت دو لایه از ممریستور  $TiO_2$  باشد. در نظر بگیرید که  $R_{ON}$  و  $R_{OFF}$  به ترتیب، نشان دهنده‌ی کمترین و بیشترین مقادیر مقاومت باشند. در اینصورت، ارتباط بین ولتاژ و جریان بصورت زیر تعیین میشود:

$$v(t) = \left( R_{ON} \frac{w(t)}{D} + R_{OFF} \left( 1 - \frac{w(t)}{D} \right) \right) i(t) \quad (1)$$

که ممریستنس در آن؛  $M(t) = R_{ON} \frac{w(t)}{D} + R_{OFF} \left( 1 - \frac{w(t)}{D} \right)$  و  $w(t)/D$  به عنوان متغیر حالت تعریف میشود. در ممریستور  $TiO_2$ ، سرعت تغییر متغیر حالت بصورت تابعی از جریان  $i$  تعریف میشود؛ یعنی:



$$(2) \quad \frac{dw(t)}{dt} = \mu_V \frac{R_{ON}}{D} i(t)$$

که  $\mu_V$  قابلیت تحرک ماده دوپه کننده است. از آنجا که سرعت دامنه (عرض) بصورت خطی متناسب با جریان

است، این مدل بنام مدل رانشی خطی معروف است. با انتگرال گیری از معادله (۲):

$$(3) \quad w(t) = w_0 + \mu_V \frac{R_{ON}}{D} \int_0^t i(t) dt = w_0 + \mu_V \frac{R_{ON}}{D} q(t).$$

با توجه به معادلات (۱) و (۳)، ممریستنس  $M(t)$  را بدین صورت میتوان نوشت:

$$(4) \quad M(t) = R_{OFF} \left\{ \left[ 1 + \frac{w_0}{D} \left( \frac{R_{ON}}{R_{OFF}} - 1 \right) \right] - \frac{\mu_V R_{ON}}{D^2} \left( 1 - \frac{R_{ON}}{R_{OFF}} \right) q(t) \right\}$$

چنانچه  $w_0/D \ll 1$  and  $R_{ON} \ll R_{OFF}$  باشد، عبارت  $M(t)$  بصورت زیر ساده میشود:

$$(5) \quad M(t) \approx R_{OFF} \left\{ 1 - \frac{\mu_V R_{ON}}{D^2} q(t) \right\}.$$

$$M(t) = R_{OFF} - Kq(t), \quad K = \frac{\mu_V R_{ON}}{D^2 R_{OFF}}$$

با توجه به معادله (۱):

$$(6) \quad v(t) = (R_{OFF} - Kq(t)) i(t).$$

از معادله (۶) نتیجه می گیریم که وقتی ولتاژ بالاتری به سمت غیر سیاه نوار در مقایسه با سمت سیاه آن در شکل ۱(c) اعمال شود، ممریستنس  $M(t)$  کاهش می یابد. بطور مشابه، زمانی که ولتاژ بالاتر در انتهای سیاه

نوار در مقایسه با سمت غیر سیاه آن در شکل ۱(c) اعمال شود، ممریستور بایاس شده بصورت افزایشی آزمایشگاه پروژ

نامگذاری میشود. با این بایاس، رابطه ولتاژ-جریان بدین صورت تعیین میشود:

$$(7) \quad v(t) = (R_0 + Kq(t))i(t)$$

و ممپرستنس  $M(t)$  بصورت  $M(t) = R_0 + Kq(t)$  افزایش می یابد.

شرح مفصلی از ممپرستورهای افزایشی و کاهششی با استفاده از مدارهای مقلد (امولاتور) ما در بخش ۳ ارائه میشوند.

### ۳. مدار مقلد (امولاتور) ممپرستور HP

با این حال، ممپرستورها تا به امروز، در بازار موجود نبوده اند. برای مطالعه مدار مبتنی بر ممپرستور، ساختن مقلدهای ممپرستور لازم و ضروریست. دو روش مختلف برای ساخت مقلدهای ممپرستور عبارتند از؛ روش مبتنی بر مدار آنالوگ خالص، و روش مبتنی بر ترکیب آنالوگ-دیجیتال. مدار مقلد ممپرستور اتخاذ شده برای این کار برگرفته از مرجع [۲۵] است. ایده اساسی پیاده سازی شده برای طراحی مقلد ممپرستور در شکل ۲ نشان داده شده است. در شکل، ولتاژ در پایانه ورودی عبارتست از:

$$v_{in} = R_s i_{in} + v_x \quad (8)$$

که  $i_m$  جریان ورودی،  $R_s$  مقاومت پایانه ورودی وارونگر، و  $v_x$  ولتاژ اعمال شده به قطب مثبت تقویت کننده عملیاتی است.

فرض کنید که ولتاژ  $v_x$  متناسب با جریان ورودی  $i_m$  است، بنابراین:

$$v_{in} = R_s i_{in} + m i_{in} = (R_s + m) i_{in} \quad (9)$$

که  $m$  ضریب تناسب، و  $v_x = m i_{in}$  است. معادله (۹) نشان میدهد که مقاومت ورودی مدار،  $R_s + m$  است. اگر بتوانیم  $m$  را کنترل کنیم بگونه ای که برابر با انتگرال بر روی زمان جریان ورودی  $i_m$  باشد، در آن صورت، مدار

شکل ۲ به عنوان ممپرستور عمل میکند. به منظور شبیه سازی (تطبیق دادن)  $v_x$  در معادله (۹)، سه دستگاه (خازن، مقاومت، و ضرب کننده (چند برابر کننده) ولتاژ) مورد استفاده قرار میگیرند، که در آن ولتاژ حاصل از

خازن و مقاومت با استفاده از یک دستگاه ضرب کننده، چندین برابر میشود. مقلد ممریستور باید بصورت جداگانه و به شکل دو اتصال مختلف مانند مقلدهای کاهشی (کاهنده) و افزایشی (افزاینده) تهیه شود. شکل ۳ طرح کلی مقلد ممریستور بایاس شده بصورت افزایشی را نشان میدهد که وقتی ولتاژ مثبت  $V_{in}$  در پایانه ورودی اعمال شود، ممریستنس در آن افزایش می یابد. ولتاژ ورودی اعمال شده در مقلد ممریستور از طریق محدودیت زمین مجازی به جریان ورودی  $I_{in}$  با مقاومت  $R_s$  و تقویت کننده عملیاتی U0 تبدیل میشود. از آنجا که جریان  $I_{in}$  در چندین مکان مورد استفاده قرار میگیرد، نسخه های المثنی آن با استفاده از آینه های جریان ایجاد میشوند.

ملاحظه میکنید که آینه جریان فقط از جریان یک جهتی نسخه برداری میکند. در مورد جریان هایی با دو جهت (مثبت و منفی)،  $I_{in}$  باید به یک بخش مثبت و یک بخش منفی تفکیک شده و بصورت جداگانه در بخش های مختلفی از مدار تحت پردازش قرار گیرد. در مدار شکل ۳، بخش مثبت جریان، که توسط آینه جریان MN0 و MN2 تکرار شده، به ترتیب توسط آینه جریان MP3 و MP4 جفت شده با MP1، به مقاومت  $R_T$  و خازن C داده میشود. از سوی دیگر، MP0 و MP2 به عنوان بخش منفی آینه جریانی عمل میکنند که توسط آینه جریان MN3 و MN4 جفت شده با MN1، به خارج از مقاومت  $R_T$  و خازن C جریان می یابد.

یکی از ویژگی های برجسته ممریستور، توانایی حفظ اطلاعات برنامه ریزی شده برای مدت طولانی تا قبل از زمان ارائه ی داده هایی است که جدیداً برنامه ریزی شده اند. باز ذخیره شده در خازن C مربوط به اطلاعات برنامه ریزی شده در مقلد ممریستور است. برای اجتناب از تخلیه بار در طول مدتی که سیگنال ورودی وجود ندارد، مسیر منتهی به پایانه خروجی به بافر ترانزیستور ماسفت U1 (Moseft) متصل میشود. کلید  $S_{w0}$  در ابتدا بسته میشود تا ولتاژ خازن را مجدداً در روی صفر تنظیم کند. زمانیکه یک پالس ولتاژ از طریق پایانه ورودی مدار مقلد اعمال گردد، کلید باز میشود. بنابراین، ولتاژ خازن از مقدار صفر تا حد معینی شروع به تغییر میکند. در شکل ۳، خازن با انتگرال گیری از جریان  $I_{in}$ ، ولتاژ  $V_C$ ، و مقاومت  $R_T$  ولتاژی متناسب با جریان  $I_{in}$  را ایجاد میکند:

$$V_C = \frac{1}{C} \int I_{in} dt = \frac{qC}{C} \quad (10)$$







## منابع

1. Hakin, S.S. *Neural Networks: A Comprehensive Foundation*; Prentice Hall: Upper Saddle River, NJ, USA, 1999.
2. Lawrence, J. Introduction to neural networks. *CA Sci. Softw.* **1995**, *346*, 1075–1079.
3. Rumelhart, D.E.; McClelland, J.L. *Parallel Distributed Processing: Exploration in the Microstructure of Cognition*; MIT Press: Cambridge, MA, USA, 1986.
4. Murre, J.M.J. Neurosimulators. In *Handbook of Brain Research and Neural Network*; Arbib, M.A., Ed.; MIT Press: Cambridge, MA, USA, 1995.
5. McCartor, H. A highly parallel digital architecture for neural network emulation. In *VLSI for Artificial Intelligence and Neural Network*; Delgado-Frias, J.G., Moore, W.R., Eds.; Plenum Publishing Company: New York, NY, USA, 1991.
6. Ramacher, U. *et al.* Multiprocessor and memory architecture of the neurocomputers SYNAPSE-1. *Int. J. Neural Syst.* **1993**, *4*, 333–336.
7. Holler, M. Tam, S. Castro, H. Benson, R. An electrically trainable artificial neural network (ETANN) with 10240 “Floating gate” synapse. In *Proceedings of International Joint Conference on Neural Network*, Washington, DC, USA, 18–22 June 1989; Volume 2, pp. 191–196.
8. Withagen, H. Implementing backpropagation with analog hardware. In *Proceedings of IEEE World Congress on Computational Intelligence*, Orlando, FL, USA, 27 June–2 July 1994; Volume 4, pp. 2015–2017.
9. Lindsey, S.; Lindblad, T. Survey of neural network hardware invited paper. *Proc. Appl. Sci. Artif. Neural Networks Con.* **1995**, *2492*, 1194–1205.
10. Kub, F.J.; Moon, K.K.; Mack, I.A.; Long, F.M. Programmable analog vector-matrix multipliers. *IEEE J. Solid-State Circuits* **1990**, *25*, 207–214.
11. Schlottmann, C.R.; Hasler, P.E. A highly dense, low power programmable analog vector-matrix multiplier: The FPAA implementation. *IEEE J. Emer. Sel. Top. Circ. Syst.* **2011**, *1*, 403–411.
12. Chua, L.O.; Yang, L. Cellular neural networks: Applications. *IEEE Trans. Circuits Syst.* **1988**, *35*, 1273–1290.
13. Chua L.O.; Yang, L. Cellular neural networks: Theory. *IEEE Trans. Circuits Syst.* **1988**, *35*, 1257–1272.
14. Kim, H.; Roska, T.; Son, H.; Petras, I. Analog addition/subtraction on the CNN-UM chip with short-time superimposition of input signals. *IEEE Trans. Circuits Syst. I* **2003**, *50*, 429–432.
15. Kim, H.; Son, H.; Roska, T.; Chua, L.O. High-performance viterbi decoder with circularly connected 2-D CNN unilateral cell array. *IEEE Trans. Circuits Syst. I* **2005**, *52*, 2208–2218.
16. Domínguez-Castro, R.; Espejo, S.; Rodríguez-Vázquez, A.; Carmona R.A.; Földesy P.; Zarándy, Á.; Szolgay P.; Szirányi, T.; Roska, T. A 0.8- $\mu\text{m}$  CMOS two-dimensional programmable mixed-signal focal-plane array processor with on-chip binary imaging and instructions storage. *IEEE J. Solid State Circuits* **1997**, *32*, 1013–1026.
17. Strukov, D.B.; Snider, G.S.; Stewart, D.R.; Williams, R.S. The missing memristor found. *Nature* **2008**, *453*, 80–83.

18. Chua, L.O. Memristor-the missing circuit element. *IEEE Trans. Circuit Theory* **1971**, CT-18, 507–519.
19. Chua, L.O.; Kang, S.M. Memristive devices and systems. *Proc. IEEE* **1976**, 64, 209–223.
20. Ventra, M.D.; Pershin, Y.V.; Chua, L.O. Circuit elements with memory: Memristor, memcapacitors and meminductors. *Proc. IEEE* **2009**, 97, 1717–1724.
21. Cantley, K.D.; Subramaniam, A.; Stiegler, H.J.; Chapman, R.A.; Vogel, E.M. Hebbian learning in spiking neural networks with nanocrystalline silicon TFTs and memristive synapse. *IEEE Trans. Nanotechnol.* **2011**, 10, 1066–1073.
22. Snider, G. Self-organized computation with unreliable, memristive nanodevices. *Nanotechnology* **2007**, 18, 1–13.
23. Kim, H.; Sah, M.P.; Yang, C.; Roska T.; Chua L.O. Neural synaptic weighting with a pulse-based memristor circuit. *IEEE Trans. Circuit Syst. I* **2011**, 59, 148–158.
24. Kim, H.; Sah, M.P.; Yang, C; Roska, T; Chua, L.O. Memristor bridge synapses. *Proc. IEEE* **2012**, doi:10.1109/jproc.2011.2166749.
25. Kim, H.; Sah, M.P.; Yang, C; Cho, S. Chua, L.O. Memristor emulator for memristor circuit applications. *IEEE Trans. Circuit Syst. I* **2012**, in press.
26. pershin, Y.V.; Ventra, M.D. Practical approach to programmable analog circuits with memristors. *IEEE Trans. Circuits Syst. I* **2010**, 57, 1857–1864.
27. Pershin, Y.V; Ventra, M.D. *Experimental Demonstration of Associative Memory with Memristive Neural Networks*; Cornell University Library: Ithaca, NY, USA, 2009; ArXiv:0905.2935. Available online: <http://arXiv.org/abs/arXiv:0905.2935> (accessed on 18 May 2009).
28. Yang, C.; Sah M.P.; Adhikari S.; Park, D.; Kim, H. Highly accurate doublet generator for memristor-based analog memories. *IJBC* **2012**, in press.