



دانشگاه زنجان

دانشکده مهندسی برق

پایان نامه کارشناسی

گرایش الکترونیک

عنوان

طراحی شیفت دهنده فاز 8-12 کیگا هرتز

نگارش

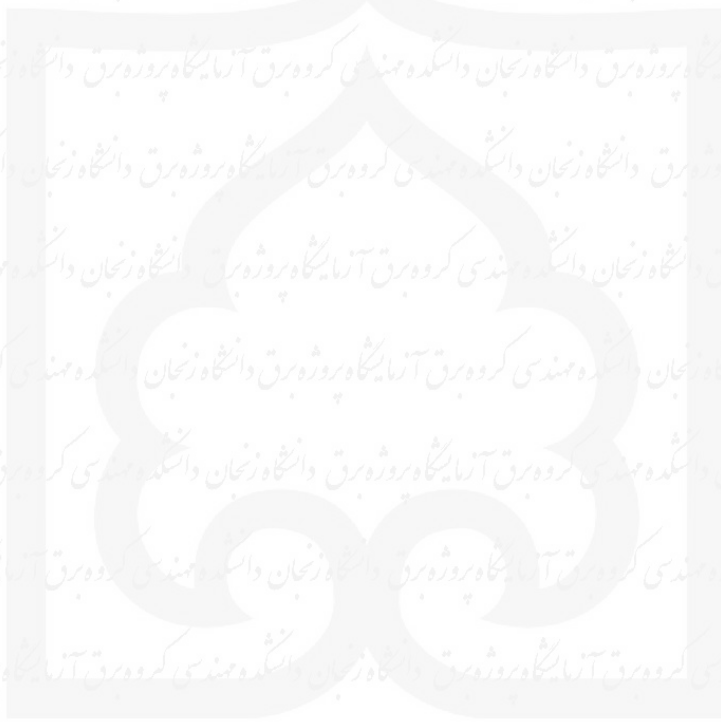
اعظم قمری

استاد راهنما

مهندس ناصر موسوی

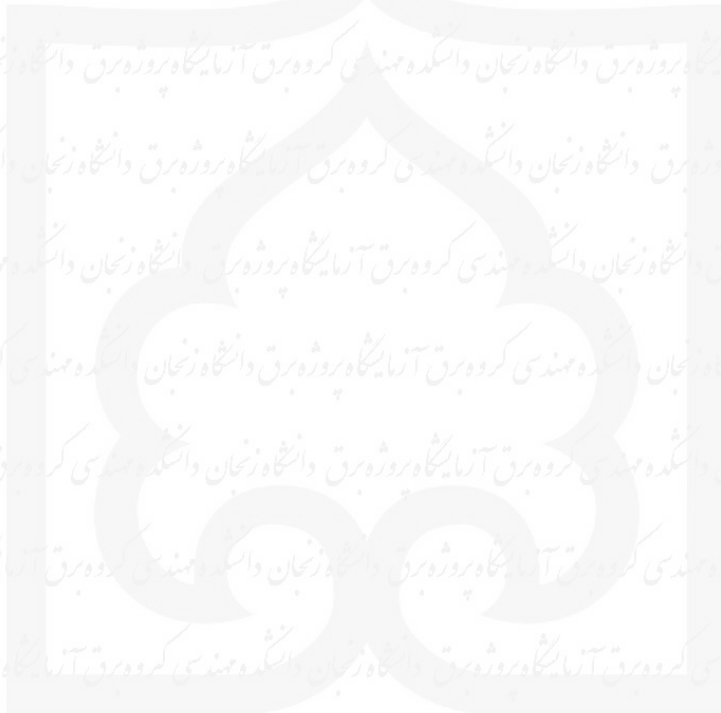
تیر 1392

## پدر و مادر مهربانم.



با سپاس و تشکر فراوان از استاد گرانقدر جناب آقای مهندس موسوی و سر کار خانم

فضلی که در اتمام این پروژه بنده را یاری نمودند.



## چکیده [1]:

سیستم های آرایه فازی که برای ارسال و دریافت سیگنال های الکترومغناطیسی در جهات دلخواه به کار می روند امروزه کاربرد وسیعی در مخابرات بی سیم، مخابرات ماهواره ای و سیستم های راداری دارند. سیستم های آرایه فازی متشکل از واحدهایی به نام بلوک های گیرنده/فرستنده<sup>1</sup> هستند. این واحدها که از یک سو به آنتن و از سوی دیگر به جمع کننده/تقسیم کننده توان متصل هستند نقش عمده ای در تعیین کیفیت آرایه فازی ایفا می کنند. واحدهای گیرنده/فرستنده شامل مدارهای شیفت دهنده فاز برای کنترل فاز و مدارهای تضعیف کننده برای کنترل دامنه سیگنال دریافتی یا ارسالی، سوئیچ های حالت جامد و تعدادی تقویت کننده است.

هدف از این پایان نامه طراحی یک مدار شیفت دهنده فاز چهار بیتی در باند فرکانسی 8-12

گیگاهرتز می باشد. مدارات شیفت دهنده فاز معمولاً با استفاده از پروسه هایی که از ترکیبات عناصر

گروه III-V از جمله گالیوم آرسناید و ایندیوم فسفاید ساخته می شوند پیاده سازی می گردند. از

جمله ویژگی های این پروسه ها که آنها را برای این کار مناسب ساخته است می توان به تلفات کم و

خطی بودن بسیار زیاد سوئیچ ها، کیفیت بالای عناصر پسیو (مهمتر از همه سلف ها) و استفاده از

رساناهای ضخیم در آنها که موجب بالا رفتن نقطه فشردگی و کاهش تلفات کل سیستم آرایه فازی

می شود اشاره نمود. اما عیب بزرگ پروسه های فوق گرانی و در دسترس نبودن آنهاست. با توجه به

این که تکنولوژی CMOS بسیار ارزان و در دسترس می باشد ساخت مدارات شیفت دهنده فاز در

پروسه CMOS اخیرا بسیار مورد توجه قرار گرفته است. همچنین این کار امکان مجتمع سازی این

مدارها را با سایر مدارهای آنالوگ گیرنده و فرستنده و مدارهای دیجیتال باند پایه فراهم خواهد

کرد. اما مشکل اینجاست که پروسه CMOS هیچ یک از ویژگی های ذکر شده در مورد پروسه های

عناصر گروه III-V را ندارد. برای نمونه بدلیل پایین بودن ضریب کیفیت سلف ها و مقاومت بالای

سوئیچ ها تلفات مدار افزایش می یابد. همچنین المان های این پروسه در فرکانس های بالاتر از 1

گیگاهرتز به خوبی مدل نشده است. علاوه بر این ها به دلیل پایین بودن سطوح ولتاژ کنترلی سوئیچ

ها، نقطه فشردگی سیستم پایین می آید که این به نوبه خود یک تقابل بین نویزسیستم و نقطه فشردگی

آن، که دو پارامتر مهم در یک سیستم گیرنده و فرستنده هستند ایجاد می کند.

مدار شیفته دهنده فاز چهار بیتی در پروسه 0/18 میکرومتری شرکت TSMC طراحی شده است.

اندازه گیری های انجام شده نشان دهنده عملکرد مطلوب و پهنای باند زیاد این مدار است.

کلمات کلیدی: مدار شیفته دهنده فاز، تکنولوژی CMOS، آرایه فازی، آنتن های آرایه ای، تاخیر

گروهی و تطبیق امپدانس.

پیشگفتار ..... 12

فصل 1 ..... 13

سیستم های آرایه فازی ..... 14

1-1 سیستم های آنتن آرایه ای فازی ..... 15

1-2 روش های پیاده سازی سیستم های آرایه فاز ..... 19

فصل 2 ..... 22

مدارهای شیفت دهنده فاز ..... 23

فصل 3 ..... 33

طراحی مدار شیفت دهنده فاز ..... 34

1-3 سیستم کلی شیفت دهنده فاز به روش فعال ..... 34

2-3 فیلتر تمام گذر 90 درجه ..... 35

3-3 جمع کننده دیفرانسیلی آنالوگ.....37

فصل 4.....40

نتایج حاصل از شبیه سازی.....41

نمودار 16 حالت خروجی.....57

تغییرات بهره در تمام حالت خروجی.....58

تطبیق امپدانس در ورودی.....59

تطبیق امپدانس در خروجی.....60

خطای فاز RMS.....61

خطای بهره RMS.....62

مراجع.....63

فهرست شکل ها

صفحه

شکل 1-Error! No text of specified style in document. اساس کار یک گیرنده آرایه

فاز ..... 11

شکل 2-Error! No text of specified style in document. مقدار ضریب آرایه برای یک

سیستم چهار کاناله ..... 13

شکل 3-Error! No text of specified style in document. پیاده سازی

تاخیرها ..... 16

شکل 1-2 مشخصه های فاز و تاخیر گروهی شیفت دهنده فاز ایده آل ..... 18

شکل 2-2 روش فعال برای پیاده سازی شیفت دهنده فاز ..... 21

شکل 3-2 تغییر خازن های خط انتقال مصنوعی ..... 22

شکل 4-2 تغییر دادن سلف ها با سری کردن خازن ها ..... 23

شکل 5-2 خارج کردن سیگنال از نقاط مختلف خط انتقال مصنوعی ..... 24

شکل 6-2 شیفت دهنده فاز بازتابشی ..... 24



شکل 2-7 روش سوئیچ خط برای ایجاد شیفت فاز.....26

شکل 2-8 روش سوئیچ شبکه برای ایجاد شیفت فاز.....28

شکل 3-1 بلوک دیاگرام شیفت دهنده فازی.....30

شکل 3-2 مراحل تبدیل IQ از حالت تک خروجی به دیفرانسیلی.....31

شکل 3-3 جمع کننده دیفرانسیلی و DAC.....33

شکل 4-1 حالت اول.....42

شکل 4-2 حالت دوم.....43

شکل 4-3 حالت سوم.....44

شکل 4-4 حالت چهارم.....45

شکل 4-5 حالت پنجم.....46

شکل 4-6 حالت ششم..... 47

شکل 4-7 حالت هفتم..... 48

شکل 4-8 حالت هشتم..... 49

شکل 4-9 حالت نهم..... 50

شکل 4-10 حالت دهم..... 51

شکل 4-11 حالت یازدهم..... 52

شکل 4-12 حالت دوازدهم..... 53

شکل 4-13 حالت سیزدهم..... 54

شکل 4-14 حالت چهاردهم..... 55

شکل 4-15 حالت پانزدهم..... 56

شکل 4-16, 16 حالت خروجی..... 57

شکل 17-4 تغییرات بهره در تمام حالات خروجی.....58

شکل 18-4 تطبیق امپدانس ورودی.....59

شکل 19-4 تطبیق امپدانس خروجی.....60

شکل 20-4 خطای فاز RMS.....61

شکل 21-4 خطای بهره RMS.....62

صفحه

فهرست جدول ها

جدول 1-Error! No text of specified style in document. مقایسه روش های مورد

استفاده برای پیاده سازی گیرنده های آرایه فاز.....16

جدول 1-3 جدول منطقی برای کلیدهای کنترلی.....34

جدول 1-4 مقایسه مقادیر مورد نظر و به دست آمده.....41

# پایان نامه کارشناسی



# آزمایشگاه پژوهش

## پیش گفتار [2]:

یک شیفت دهنده فاز ایده‌آل یک بلوک دو دهنه است که بدون تغییر در دامنه، فاز سیگنال ورودی را با یک عدد ثابت جمع کرده و بدین ترتیب سیگنال خروجی حاصل می‌شود. همچنین امیدانس‌های ورودی و خروجی آن برابر امیدانس مشخصه سیستمی است که شیفت دهنده فاز در آن به کار می‌رود.

با این که شیفت دهنده‌های فاز کاربردهای بسیار وسیعی دارند مهمترین کاربرد این مدارها در سیستم‌های آرایه فازی می‌باشد که در آن امکان ارسال و یا دریافت سیگنال الکترومغناطیسی در جهت دلخواه از طریق کنترل فاز سیگنال‌های ارسالی و یا دریافتی آرایه‌ای از آنتن‌ها فراهم می‌شود.

در عمل دست یابی به یک شیفت دهنده فاز ایده‌آل امکان پذیر نیست. با این حال در کاربردهای عملی می‌توان از مدارهایی استفاده کرد که تا حد امکان خواص یک شیفت دهنده فاز ایده‌آل را در بازه فرکانسی مورد نظر داشته باشند. این بازه فرکانسی معمولاً وسیع نیست، زیرا دست‌یابی به یک شیفت دهنده فاز با پهنای باند وسیع به راحتی امکان پذیر نیست.

در گذشته مدارات شیفت دهنده فاز با استفاده از پروسه‌های گروه III-V پیاده سازی می‌شدند. اما با گذشت زمان و پیشرفت تکنولوژی‌های بر پایه سیلیکون، مانند تکنولوژی‌های CMOS و BiCMOS، و همچنین به دلیل کم هزینه بودن این پروسه‌ها و نیز امکان پیاده سازی هم زمان مدارهای دیجیتال و آنالوگ در آنها این پروسه‌ها مورد توجه طراحان مدار قرار گرفتند و امروزه پژوهش‌های گسترده‌ای در این زمینه در جریان است.

در این پروژه به مباحث مربوط به طراحی مدار شیفت دهنده فاز در تکنولوژی 0/18 میکرون CMOS می‌پردازیم و نتایج حاصل از شبیه سازی مدارها را ذکر می‌کنیم.

## فصل اول

# پایان نامه کارشناسی



## فصل 1 سیستم های آرایه فازی

در این فصل ابتدا به معرفی مختصر سیستم های آرایه فازی که عمده ترین کاربرد شیفت دهنده های فاز را به خود اختصاص داده اند می پردازیم.

### 1-1 سیستم‌های آنتن آرایه‌ای فاز [3]

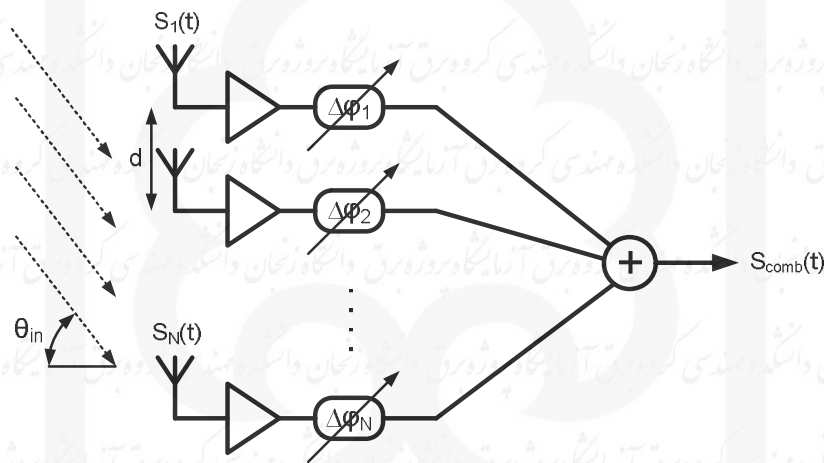
در حالی که ارسال اطلاعات با نرخ‌های بالا با استفاده از سیستم‌های آرایه‌ای فاز برای کاربردهای

تجاری پیشینه‌چندانی ندارد، سابقه استفاده از این سیستم‌ها برای پیاده‌سازی رادارهای با قابلیت‌های بالا به بیش از 50 می‌رسد.

یک سیستم آرایه‌ای فاز از چندین آنتن تشکیل شده است که به صورت الکتریکی قابلیت تغییر جهت موج‌ارسالی و دریافتی را فراهم می‌سازد. با ایجاد یک تاخیر زمانی متغییر در مسیر هر یک از آنتن‌ها و جبران‌سازی تاخیر ناشی از مسیرهای با طول مختلف در فضا، تغییر جهت موج‌ارسالی و دریافتی امکان‌پذیر

می‌شود. شکل 4-Error! No text of specified style in document. چگونگی عملکرد یک

سیستم آرایه‌ای فاز N کاناله را نشان می‌دهد.



شکل 4-Error! No text of specified style in document. اساس کار یک گیرنده آرایه‌ای فاز

در این شکل فاصله تمام آنتن‌ها از یکدیگر  $d$  در نظر گرفته شده است. با فرض اینکه موج دریافتی با زاویه

$q_{in}$  نسبت به خط عمود بر صفحه آنتن‌ها برخورد کند، به علت فاصله میان آنتن‌ها، میزان تاخیر در

موج دریافتی مابین دو آنتن مجاور  $\frac{d \sin q_{in}}{c}$  خواهد بود، که در این رابطه  $c$  سرعت نور در محیط انتقال



می باشد. بنابراین اگر موج دریافتی به شکل سینوسی و با فرکانس  $\omega$  و دامنه  $A$  باشد، سیگنالی که توسط آنتن  $i$ ام دریافت می شود را می توان به کمک رابطه زیر نشان داد.

$$S_{i(t)} = A \times \cos\left(\omega \left(t - (i - 1) \frac{d \times \sin \theta_{in}}{c}\right)\right) \quad (1-1)$$

بنابراین موج ارسال شده با یک تاخیر خطی در آنتن های متوالی دریافت خواهد شد. برای جبران این تاخیر، مقدار تاخیر در کانال های دریافتی طوری تنظیم می شود که آنتنی که سیگنال را با تاخیر کمتری دریافت می کند، تاخیر مداری بیشتری یابد. برای مثال در شکل **Error! No text of specified** دریافت می کند، تاخیر مداری بیشتری یابد. برای مثال در شکل **4-style in document** مسیر  $i$ ام باید تاخیری برابر با  $(N - i + 1)Dt$  داشته باشد. اگر

$Dt = \frac{d \cdot \sin \theta_{in}}{c}$  باشد، تاخیر ایجاد شده در فضا کاملا جبران سازی خواهد شد. بنابراین برای سیگنال های دریافتی در خروجی تاخیر دهنده ها می توانیم رابطه زیر را بنویسیم.

$$90S_{i(t)} = G \times A \times \cos\left(\omega \left(t - (i - 1) \frac{d \times \sin \theta_{in}}{c} - (N - i + 1)\Delta\tau\right)\right)$$

در این رابطه  $G$  مقدار بهره هریک از کانال ها می باشد. یکی از پارامترهایی که میزان کارایی یک سیستم آرایه فاز را نشان می دهد ضریب آرایه<sup>2</sup> می باشد. این پارامتر به صورت نسبت توان در خروجی یک سیستم آرایه فاز به توان یک کانال تعریف می شود. با جمع کردن خروجی های هر کانال در رابطه  $0$  و تقسیم کردن مقدار بدست آمده بر توان یک کانال می توانیم ضریب آرایه را به صورت رابطه زیر بنویسیم.

$$AF(\Delta\tau, \theta_{in}) = \left(\frac{\sin\left(\frac{N(\omega\Delta\tau - \frac{\omega d}{c} \sin \theta_{in})}{2}\right)}{\sin\left(\frac{\omega\Delta\tau - \frac{\omega d}{c} \sin \theta_{in}}{2}\right)}\right)^2 \quad (2-1)$$

اگر تاخیر زمانی در فضا کاملاً توسط تاخیرهای ایجاد شده در مدار خنثی شوند، سیگنال‌های دریافتی

به صورت هم فاز با یکدیگر جمع خواهند شد. در این حالت ضریب آرایه بیشترین مقدار یعنی  $N^2$  می‌باشد.

برای سایر زوایه‌های دریافتی مقدار ضریب آرایه کمتر از این مقدار می‌باشد و این موضوع باعث می‌شود تا

یک سیستم آرایه فاز بتواند موج‌های دریافتی را بر اساس زوایه دریافت تفکیک کند<sup>3</sup>. بنابراین یک

سیستم آرایه فاز می‌تواند تداخل‌کننده‌هایی را که جهت تابش آنها با جهت تابش سیگنال مورد نظر تفاوت

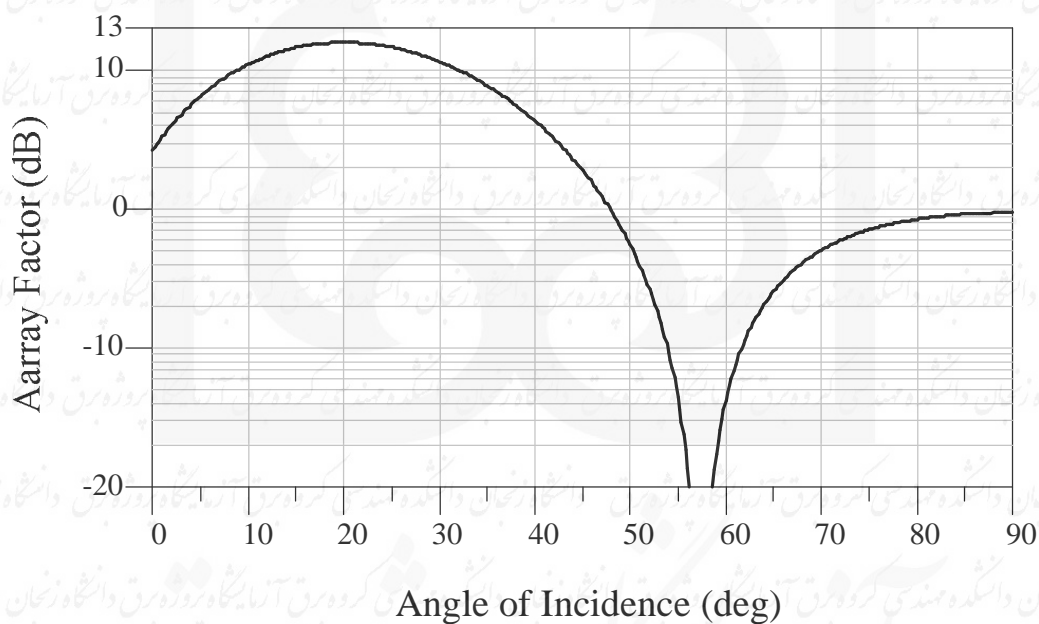
دارد را تضعیف کند و این یکی از مزایای مهم این سیستم‌ها می‌باشد. شکل **Error! No text of**

**5-specified style in document.** مقدار ضریب آرایه برای یک سیستم چهار کاناله را که فاصله آنتن

های آن  $\lambda/2$  می‌باشد و برای زوایه دریافت 20 درجه تنظیم شده است را نشان می‌دهد. همانگونه که این

شکل نشان می‌دهد، این سیستم می‌تواند تداخل‌کننده‌ای که از زوایه حدود 57 درجه تابش می‌کند را

کاملاً حذف کند.



شکل **5-Error! No text of specified style in document.** مقدار ضریب آرایه برای یک

سیستم چهار کاناله

یک سیستم آرایه فاز همچنین می تواند حساسیت گیرنده را نیز افزایش دهد. در جهتی که بیشترین

بهره وجود دارد توان سیگنال  $N^2$  برابر سیگنال دریافتی از یک کانال می باشد. ولی اگر نویز کانال های

مختلف ناهمبسته باشند، توان کل نویز خروجی  $N$  برابر توان نویز خروجی یک کانال خواهد شد. بنابراین

نسبت سیگنال به نویز در یک سیستم  $N$  کاناله،  $N$  برابر بهتر از یک گیرنده معمولی خواهد شد.

در فرستنده نیز ضریب آرایه را می توان عامل افزایش بهره آنتن تلقی کرد. برای تولید توان خروجی برابر با

یک فرستنده معمولی در یک جهت خاص، هریک از کانال های سیستم آرایه فاز  $1/N^2$  برابر توان خروجی

یک فرستنده معمولی را باید تولید کند. بنابراین کل توان مصرف شده توسط فرستنده  $N$  برابر کاهش

می یابد.

دانشجویان محترم:

جهت دسترسی به متن کامل پایان نامه‌ها به کتابخانه دانشکده مهندسی و یا آزمایشگاه پروژه گروه برق مراجعه فرمایید.

## مراجع:

1 پایان نامه کارشناسی ارشد مهندس ناصر موسوی, طراحی و ساخت مدار شیفت دهنده

فاز CMOS باند 10-7 گیگاهرتز دانشگاه صنعتی شریف, آذر 1390

2 پایان نامه کارشناسی ارشد مهندس علیرضا آسوده, طراحی و ساخت شیفت دهنده

فعال, دانشگاه صنعتی شریف, 1388

- 3 A. M. Niknejad and H. Hashemi, "*mm-Wave Silicon Technology: 60 GHz and Beyond*". 2008.
- 4 T. Rappaport, "*Wireless Communications: Principles and Practice*". 1996, Upper Saddle River: Prentice-Hall.
- 5 Alamouti, S.M., *A simple transmit diversity technique for wireless communications*. Selected Areas in Communications, IEEE Journal on, 1998. 16(8): p. 1451-1458.
- 6 Curtis, D.D., et al. *32-Channel X-band digital beamforming plug-and-play receive array*. in *Phased Array Systems and Technology*, 2003. IEEE International Symposium on. 2003.
- 7 Miyauchi, H., et al. *Development of DBF radars*. in *Phased Array Systems and Technology*, 1996., IEEE International Symposium on. 1996.
- 8 Inder Bahl and Prakash Bhartia, "*Microwave Solid State Circuit Design*". Second ed. 200 :۳ Wiley.
- 9 Ellinger, F., et al., *Integrated Adjustable Phase Shifters*. Microwave Magazine, IEEE, 2010. 11(6): p. 97-108.
- 10 Afsahi, A., et al. *An Area and Power Efficient Cartesian Phase Shifter + Mixer Circuit Applied to WLAN System*. in *Radio Frequency Integrated Circuits (RFIC) Symposium, 2007 IEEE*. 2007.
- 11 Kwang, J.K. and G.M. Rebeiz. *An X- and Ku-Band 8-Element Linear Phased Array Receiver*. in *Custom Integrated Circuits Conference, 2007. CICC '07. IEEE*. 2007.

- 12 Kwang-Jin, K. and G.M. Rebeiz, *A 0.1-1.3 μm CMOS Digital Phase Shifter for K-band Phased Arrays*. in *Radio Frequency Integrated Circuits (RFIC) Symposium, 2007 IEEE*. 2007.
- 13 Tiku, Y. and G.M. Rebeiz, *A 24 GHz 6-Bit CMOS Phased-Array Receiver*. *Microwave and Wireless Components Letters, IEEE*, 2008. 18(6): p. 422-424.
- 14 Hancock, T.M. and G.M. Rebeiz, *A 12-GHz SiGe phase shifter with integrated LNA*. *Microwave Theory and Techniques, IEEE Transactions on*, 2005. 53(3): p. 977-983.
- 15 Liang-Hung, L. and L. Yu-Te, *A 4-GHz phase shifter MMIC in 0.18 μm CMOS*. *Microwave and Wireless Components Letters, IEEE*, 2005. 15(10): p. 694-696.
- 16 Dong-Woo, K. and H. Songcheol, *A 4-bit CMOS Phase Shifter Using Distributed Active Switches*. *Microwave Theory and Techniques, IEEE Transactions on*, 2007. 55(7): p. 1476-1483.
- 17 Zarei, H., C.T. Charles, and D.J. Allstot, *Reflective-Type Phase Shifters for Multiple-Antenna Transceivers*. *Circuits and Systems I: Regular Papers, IEEE Transactions on*, 2007. 54(8): p. 1647-1656.
- 18 Byung-Wook, M. and G.M. Rebeiz. *Ka-Band BiCMOS 4-Bit Phase Shifter with Integrated LNA for Phased Array T/R Modules*. in *Microwave Symposium, 2007. IEEE/MTT-S International*. 2007.
- 19 Morton, M.A., et al., *Sources of Phase Error and Design Considerations for Silicon-Based Monolithic High-Pass/Low-Pass Microwave Phase Shifters*. *Microwave Theory and Techniques, IEEE Transactions on*, 2006. 54(12): p. 4032-4040.
- 20 Clements, M.A. and J.W. Pease, *On causal linear phase IIR digital filters*. *Acoustics, Speech and Signal Processing, IEEE Transactions on*, 1989. 37(4): p. 479-484.